

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2002-134306  
(P2002-134306A)

(43) 公開日 平成14年5月10日 (2002.5.10)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターマート <sup>*</sup> (参考)
H 0 1 C 7/10		H 0 1 C 7/10	5 E 0 3 4
7/04		7/04	

審査請求 有 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願2000-329926 (P2000-329926)

(22) 出願日 平成12年10月30日 (2000. 10. 30)

(71) 出願人 000003067

ティーディーケイ株式会社  
東京都中央区日本橋1丁目13番1号

(72) 発明者 田中 隆一

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72) 発明者 小笠原 正

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(74) 代理人 100103827

弁理士 平岡 憲一 (外2名)

Fターム(参考) 5E034 BB01 BC01 BC17 CB01 CC01  
CC17 DA07 DC01 DC06 DC09

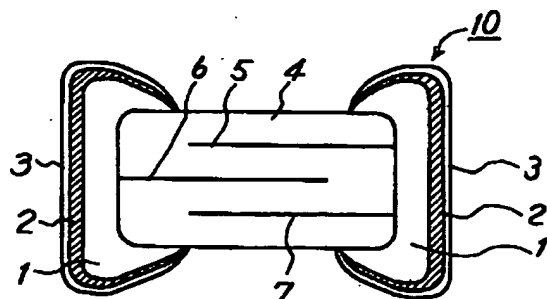
(54) 【発明の名称】 チップ型電子部品

(57) 【要約】

【課題】 チップ素体へのメッキ液の侵入を防ぐとともにメッキ付き性及びはんだ濡れ性を良好にすること。

【解決手段】 セラミック材料で形成されたチップ素体4と、該チップ素体4に設けられた端子電極1と、該端子電極1上に設けられるメッキ膜2、3とを備えたチップ型電子部品において、前記端子電極1として導電性の端子材料に導電性のガラスフリットを10 PHP以上〔但し、PHPは総無機質の量 (wt%) を100%とした時のガラスフリットの量 (wt%) 〕を含ませる。

半導体チップ素子の断面図



## 【特許請求の範囲】

【請求項1】セラミック材料で形成されたチップ素体と、該チップ素体に設けられた端子電極と、該端子電極上に設けられるメッキ膜とを備えたチップ型電子部品において、前記端子電極として導電性の端子材料に導電性のガラスフリットを10PHP（但し、PHPは総無機質の量（wt%）を100%とした時のガラスフリットの量（wt%））以上を含ませることを特徴としたチップ型電子部品。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、チップ型電子部品に関し、より詳細には、端子電極内部のガラスフリットを改良したチップバリスタ、チップNTC（negative temperature coefficient）等のチップ型電子部品に関する。

## 【0002】

【従来の技術】従来、チップ型電子部品である半導体チップ製品において、端子電極部に電気メッキを施し半導体チップ製品のはんだ付け性を良好なものにしていた（特開平11-191517号公報参照）。

【0003】しかし、この電気メッキで、メッキ液が端子電極から侵入し、半導体チップ素体であるセラミック部分まで侵してしまい半導体チップ製品の電気特性を劣化させる問題が発生していた。

【0004】従来、このメッキ液の侵入を防ぐ方法として、内部電極中のガラスフリット添加量を増やすという方法が幅広く用いられている。

【0005】従来の半導体チップ製品の素子として、電極を同一平面上において対向配置してなる対向型、並びに複数の内部電極をバリスタ素体内において積層してなる積層型のものが知られている。

【0006】以下、従来の半導体チップ製品を、図面を参照して説明する。

【0007】図2は従来例の説明図である。図2において、従来の半導体チップ素子20の断面図を示している。半導体チップ素子20は、半導体バリスタ素体24内に、複数の内部電極25、26、27を半導体層を介して重なり合うように配置した構造を有する。

【0008】半導体バリスタ素体24の一端面には端子電極21が、他方の端面には端子電極22が形成されている。そして、端子電極21は内部電極25、27に、端子電極22は対向電極26にそれぞれ接続されている。

【0009】このように構成された半導体チップ製品の端子電極21、22に電気メッキを行うことで金属皮膜を形成し、半導体チップ製品実装時のはんだ濡れ性を良好なものにするものであった。

## 【0010】

【発明が解決しようとする課題】従来のチップ型電子部品において、端子電極部に電気メッキを施し、チップ型電子部品のはんだ付け性を良好なものにしていた。しかし、電気メッキ時のメッキ液が端子電極から侵入し、チップ素体であるセラミック部分まで侵してしまいチップ型電子部品の電気特性を劣化させる問題が発生していた。

【0011】このメッキ液の侵入を防ぐ方法として、従来、端子電極中のガラスフリットの添加量を増やす方法があった。ただし、絶縁性のガラスフリット（ガラスの抵抗値が $10^7 \text{ K}\Omega \cdot \text{cm}$ 以上）を増やせば、端子電極表面にあるガラスフリットの比率が多くなり、電気メッキ膜が付きにくくなる。このため、チップ型電子部品のはんだ付け性が悪くなる問題が発生していた。

【0012】そこで本発明は、これらの問題を解決すべく、端子電極中のガラスフリットを多くしてもメッキ付き性が良好であるチップ型電子部品を提供することを目的とする。

## 【0013】

【課題を解決するための手段】図1は本発明の半導体チップ素子（チップ型電子部品）の断面図である。図1中、1は端子電極、2、3はメッキ膜、4はチップ素体、5、6、7は内部電極である。本発明は前記従来の課題を解決するため次のように構成した。

【0014】セラミック材料で形成されたチップ素体4と、該チップ素体4に設けられた端子電極1と、該端子電極1上に設けられるメッキ膜2、3とを備えたチップ型電子部品において、前記端子電極1として導電性の端子材料に導電性のガラスフリットを10PHP以上を含ませる。このため、メッキ液の侵入を防ぐように端子電極1中のガラスフリットを多くしてもメッキ付き性及びはんだ濡れ性を良好にすることができる。

## 【0015】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

【0016】図1は本発明の実施の形態における半導体チップ素子の断面図である。図1において、直方体状の素体を用いたチップ型電子部品である半導体チップ素子10は、端子電極1、電気メッキによる金属膜2、メッキ膜3、半導体チップ素体4、内部電極5、6、7により構成されている。

【0017】半導体チップ素体4は、例えば、遷移金属元素の酸化物を複数種用いて構成された焼結体（バリスタ、NTCサーミスタ等の半導体磁器）である。この半導体チップ素体4は、内部電極を上面に形成してなるセラミックグリーンシート及び内部電極が形成されていないセラミックグリーンシートを複数枚積層し、得られた積層体を焼成することにより得られる。

【0018】このように半導体チップ素体4内には、複数の内部電極5、6、7が形成される。この半導体チップ

ブ素体4中の内部電極5、6、7と電気的に接続するため、端子電極1を左右両端に塗布する。内部電極5、7は右端の端子電極1に、内部電極6は左端の端子電極1にそれぞれ接続される。この端子電極1を塗布する方法として、例えば、ディップ方式、スパッタ方式等がある。

【0019】端子電極1にAgを使用した場合、はんだ食われが発生しやすく食われないために、電気メッキで端子電極1をカバーする金属膜2を形成する。更に、金属膜2にはんだ濡れ性をよくするため、Snやはんだメッキ膜3を形成する。

【0020】このとき、端子電極1がメッキ液の侵入を防ぐようにするため、ガラスフリットを端子電極1中に入れるが、絶縁性のガラスフリット（ガラスの抵抗値が $10^7 \text{ K}\Omega \cdot \text{cm}$ 以上）であると電気メッキで形成する

金属膜2やSnやはんだのメッキ膜3が良好に形成できない。

【0021】そこで、絶縁性のガラスフリットの代わりに導電性のあるガラスフリット（ガラスの抵抗値が $100 \text{ K}\Omega \cdot \text{cm}$ 以下）を端子電極1中に入れ、はんだ膜の状態、濡れ性を確認した。

【0022】表1は電気メッキで端子電極1をカバーする金属膜2の欠陥状態である。表1において、端子電極1中に絶縁性のガラスフリットと導電性のあるガラスフリットをそれぞれ5PHP～50PHP入れたメッキ膜形成を示したものである。ここで、「PHP」単位は、総無機質の量（wt%）を100%とした時のガラスフリットの量（wt%）を示すものである。

【0023】

【表1】

電気メッキで端子電極1をカバーする金属膜2の欠陥状態

	ガラスフリット投入量				
	5PHP	10PHP	20PHP	40PHP	50PHP
絶縁性ガラスフリット	10/100	0/100	20/100	98/100	100/100
導電性ガラスフリット	14/100	0/100	0/100	0/100	0/100

【0024】半導体チップ素子を研磨し、電気メッキで端子電極1をカバーする金属膜2の欠陥があるか調査した。

【0025】調査結果、ガラスフリット投入量が5PHPでは、絶縁性ガラスフリットでは100個中10個にメッキ液の侵入が確認され、導電性ガラスフリットでは100個中14個にメッキ液の侵入が確認された。このように両ガラスフリットでメッキ液の侵入が確認されたのは、端子電極1中にガラスフリットが十分無かったためと思われる。

【0026】また、金属膜2が無い欠陥部分の発生は、絶縁性のガラスフリットは20PHP以上であるのに対し、導電性のあるガラスフリットは50PHP入れても欠陥が発生しなかった。

【0027】表2は半導体チップ素子の端子電極のはんだ濡れ性である。表2において、半導体チップ素子のサンプルを基板に載せ、リフローを行ったときのはんだ濡れ不良を調べたものである。

【0028】

【表2】

半導体チップ製品の端子電極のはんだ濡れ性

	ガラスフリット投入量				
	5PHP	10PHP	20PHP	40PHP	50PHP
絶縁性ガラスフリット	0/100	2/100	50/100	82/100	89/100
導電性ガラスフリット	0/100	0/100	0/100	0/100	0/100

【0029】これによると、絶縁性のガラスフリットは10PHPからはんだ濡れ性不良が発生した。それに比べ、導電性のあるガラスフリットは50PHP入れてもはんだ濡れ性不良が発生しなかった。なお、導電性のあるガラスフリットが60PHP以上となるとはんだ濡れ性不良が発生しやすくなり、また抵抗率が増え半導体チップ素子全体の特性（例えば、半導体チップ素子がバリ

スタであればバリスタ特性）にも影響を及ぼすものである。

【0030】表3は上記で説明した絶縁性ガラスと導電性ガラスの組成例を重量%（wt%）で示してある。

【0031】

【表3】

	絶縁性ガラス (wt%)	導電性ガラス (wt%)
PbO	40	33
B <sub>2</sub> O <sub>3</sub>	10	8
SiO <sub>2</sub>	45	38
CaO	5	4
SnO <sub>2</sub>	0	15
Sb <sub>2</sub> O <sub>3</sub>	0	2

【0032】表3において、SnO<sub>2</sub>、Sb<sub>2</sub>O<sub>3</sub>つまりスズ、アンチモンで電導性を出していることが分かる。また、この絶縁性ガラスの抵抗値は $5 \times 10^8 \text{ K}\Omega \cdot \text{cm}$ 、導電性ガラスの抵抗値は $16 \text{ K}\Omega \cdot \text{cm}$ 程度となる。

【0033】以上実施の形態で説明したように、導電性のあるガラスフリットを使用することにより、ガラスフリットを多くしてもメッキ膜の欠陥は見られなかった。また、導電性のあるガラスフリットを使用することにより、ガラスフリットを多くしてもはんだ濡れ性に問題がない。

【0034】

【発明の効果】以上のように、本発明では、チップ型電

子部品の端子電極として導電性の端子材料に導電性のガラスフリットを10PHP以上を含ませたため、チップ素体へのメッキ液の侵入を防ぐとともに、メッキ付き性及びはんだ濡れ性を良好にすることができる。

【図面の簡単な説明】

【図1】実施の形態における半導体チップ素子の断面図である。

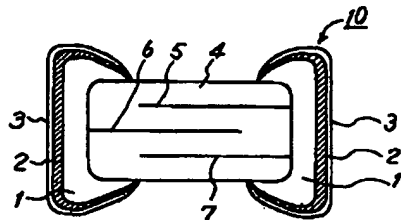
【図2】従来例の説明図である。

【符号の説明】

- 1 端子電極
- 2、3 メッキ膜
- 4 チップ素体
- 5、6、7 内部電極

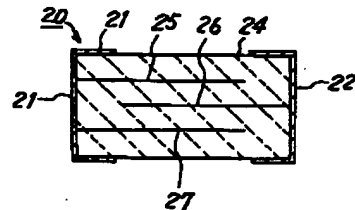
【図1】

半導体チップ素子の断面図



【図2】

従来例の説明図



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-134306

(43)Date of publication of application : 10.05.2002

(51)Int.Cl.

H01C 7/10

H01C 7/04

(21)Application number : 2000-329926

(71)Applicant : TDK CORP

(22)Date of filing : 30.10.2000

(72)Inventor : TANAKA RYUICHI  
OGASAWARA TADASHI

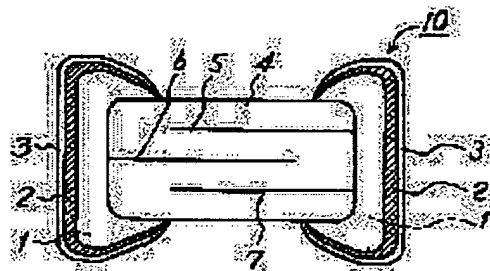
## (54) CHIP-TYPE ELECTRONIC COMPONENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent plating solution from penetrating into a chip element, keeping the chip element high in solderability and solder wettability.

**SOLUTION:** A chip-type electronic component is provided with a chip element 4 formed of ceramic material, terminal electrodes 1 provided to the chip element 4, and plating films 2 and 3 formed on each of the terminal electrodes 1, where the terminal electrode 1 is formed of conductive terminal material to contain conductive glass frits of 10 PHP or larger [where PHP denotes the amount (wt.%) of glass frits, when the total amount (wt.%) of all inorganic material is represented by 100%].

半導体チップ素子の断面図



## LEGAL STATUS

[Date of request for examination] 16.07.2001

[Date of sending the examiner's decision of rejection] 08.07.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] In chip mold electronic parts equipped with the chip element assembly formed with the ceramic ingredient, the terminal electrode prepared in this chip element assembly, and the plating film prepared on this terminal electrode They are the chip mold electronic parts characterized by including more than 10PHP [however, the amount (wt%) of a glass frit when PHP makes the amount (wt%) of the total minerals 100%] for a conductive glass frit in a conductive terminal ingredient as said terminal electrode.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to chip mold electronic parts, such as a chip varistor which improved the glass frit inside a terminal electrode in the detail, and Chip NTC (negative temperature coefficient), more about chip mold electronic parts.

[0002]

[Description of the Prior Art] Conventionally, in the semiconductor chip product which is chip mold electronic parts, electroplating was performed to the terminal polar zone and soldering nature of a semiconductor chip product was made good (refer to JP,11-191517,A).

[0003] However, the problem which plating liquid invades [ problem ] from a terminal electrode, invades [ problem ] to the ceramic part which is a semiconductor chip element assembly, and degrades the electrical property of a semiconductor chip product in this electroplating had occurred.

[0004] Conventionally, the method of increasing the glass frit addition in an internal electrode is broadly used as an approach of preventing invasion of this plating liquid.

[0005] As a component of the conventional semiconductor chip product, the thing of the opposed type which comes to carry out opposite arrangement of the electrode on the same flat surface, and the laminating mold which comes to carry out the laminating of two or more internal electrodes to a list into a varistor element assembly is known.

[0006] Hereafter, the conventional semiconductor chip product is explained with reference to a drawing.

[0007] Drawing 2 is the explanatory view of the conventional example. In drawing 2, the sectional view of the conventional semiconductor chip component 20 is shown. The semiconductor chip component 20 has the structure arranged so that two or more internal electrodes 25, 26, and 27 may be overlapped through a semi-conductor layer in the semi-conductor varistor element assembly 24.

[0008] The terminal electrode 21 is formed in the one side end face of the semi-conductor varistor element assembly 24, and the terminal electrode 22 is formed in the other-end side. And the terminal electrode 21 is connected to internal electrodes 25 and 27, and the terminal electrode 21 is connected to the counterelectrode 26, respectively.

[0009] Thus, it was what forms a metallic film by performing electroplating to the terminal electrodes 21 and 22 of the constituted semiconductor chip product, and makes good solder wettability at the time of semiconductor chip product mounting.

[0010]

[Problem(s) to be Solved by the Invention] In the conventional chip mold electronic parts, electroplating was performed to the terminal polar zone and soldering nature of chip mold electronic parts was made good. However, the problem which the plating liquid at the time of electroplating invades [ problem ] from a terminal electrode, invades [ problem ] to the ceramic part which is a chip element assembly, and degrades the electrical property of chip mold electronic parts had occurred.

[0011] As an approach of preventing invasion of this plating liquid, there was the approach of increasing the addition of the glass frit in a terminal electrode conventionally. However, if an insulating glass frit (the resistance of glass more than 10<sup>7</sup> Komega and cm) is increased, the ratio of the glass frit in a terminal electrode surface will increase, and the electroplating film will stop being attached easily. For this reason, the problem to which the soldering nature of chip mold electronic parts worsens had occurred.

[0012] Then, that these problems should be solved, even if this invention makes [ many ] the glass frit in a terminal electrode, it aims at a sex with plating offering good chip mold electronic parts.

[0013]



[Means for Solving the Problem] Drawing 1 is the sectional view of the semiconductor chip component (chip mold electronic parts) of this invention. For one, as for the plating film and 4, a chip element assembly, and 5, 6 and 7 are [ a terminal electrode and 2 and 3 ] internal electrodes among drawing 1 . This invention was constituted as follows in order to solve said conventional technical problem.

[0014] In chip mold electronic parts equipped with the chip element assembly 4 formed with the ceramic ingredient, the terminal electrode 1 prepared in this chip element assembly 4, and the plating film 2 and 3 prepared on this terminal electrode 1, 10 or more PHP is included for a conductive glass frit in a conductive terminal ingredient as said terminal electrode 1. For this reason, even if it makes [ many ] the glass frit in the terminal electrode 1 so that invasion of plating liquid may be prevented, a sex with plating and solder wettability can be made good.

[0015]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained.

[0016] Drawing 1 is the sectional view of the semiconductor chip component in the gestalt of operation of this invention. In drawing 1 , the semiconductor chip component 10 which is the chip mold electronic parts using a rectangular parallelepiped-like element assembly is constituted by the terminal electrode 1, the metal membrane 2 by electroplating, the plating film 3, the semiconductor chip element assembly 4, and internal electrodes 5, 6, and 7.

[0017] The semiconductor chip element assembly 4 is a sintered compact (semi-conductor porcelain, such as a varistor and an NTC thermistor) constituted using the oxide of for example, a transition-metals element two or more sorts. This semiconductor chip element assembly 4 is obtained by carrying out two or more sheet laminating of the ceramic green sheet with which the ceramic green sheet and internal electrode which come to form an internal electrode in a top face are not formed, and calcinating the obtained layered product.

[0018] Thus, in the semiconductor chip element assembly 4, two or more internal electrodes 5, 6, and 7 are formed. In order to connect with the internal electrodes 5, 6, and 7 in this semiconductor chip element assembly 4 electrically, the terminal electrode 1 is applied to right-and-left both ends. Internal electrodes 5 and 7 are connected to the right end terminal electrode 1, and an internal electrode 6 is connected to the left end terminal electrode 1, respectively. As an approach of applying this terminal electrode 1, there are for example, a DIP method, a spatter method, etc.

[0019] Since it is easy to generate a solder foods crack and it is not consumed when Ag is used for the terminal electrode 1, the metal membrane 2 which covers the terminal electrode 1 by electroplating is formed. Furthermore, in order to receive a metal membrane 2 solder wettability, Sn and the solder plating film 3 are formed.

[0020] Although a glass frit is put in into the terminal electrode 1 in order that the terminal electrode 1 may prevent invasion of plating liquid at this time, the plating film 3 of a metal membrane 2, Sn, or solder formed by electroplating as it is an insulating glass frit (the resistance of glass more than 107 Komega and cm) cannot form good.

[0021] Then, the glass frit (the resistance of glass below 100Kohm and cm) which has conductivity instead of an insulating glass frit was put in into the terminal electrode 1, and the condition of the solder film and wettability were checked.

[0022] Table 1 is the state of impairment of the metal membrane 2 which covers the terminal electrode 1 by electroplating. In Table 1, 5PHP - 50PHP ON \*\*\*\* plating film formation is shown for an insulating glass frit and a glass frit with conductivity in the terminal electrode 1, respectively. Here, the "PHP" unit shows the amount (wt%) of the glass frit when making the amount (wt%) of the total minerals into 100%.

[0023]

[Table 1]

電気メッキで端子電極 1 をカバーする金属膜 2 の欠陥状態

	ガラスフリット投入量				
	5PHP	10PHP	20PHP	40PHP	50PHP
絶縁性ガラスフリット	10/100	0/100	20/100	98/100	100/100
導電性ガラスフリット	14/100	0/100	0/100	0/100	0/100

[0024] The semiconductor chip component was ground and it investigated whether there would be any defect of the metal membrane 2 which covers the terminal electrode 1 by electroplating.

[0025] Results of an investigation and a glass frit input were checked by 5PHP, invasion of plating liquid was checked by ten pieces among 100 pieces in the insulating glass frit, and invasion of plating liquid was checked by 14 pieces

among 100 pieces in the electrically-conductive-glass frit. Thus, it is considered because there was no glass frit into the terminal electrode 1 enough that invasion of plating liquid was checked by both the glass frit.

[0026] Moreover, as for the glass frit in which generating of a defective part without a metal membrane 2 has conductivity to an insulating glass frit being 20 or more PHP, a defect did not generate 50PHP ON \*\*\*\*, either.

[0027] Table 2 is the solder wettability of the terminal electrode of a semiconductor chip component. In Table 2, the sample of a semiconductor chip component is put on a substrate, and poor solder \*\*\*\* when performing a reflow is investigated.

[0028]

[Table 2]

半導体チップ製品の端子電極のはんだ濡れ性

	ガラスフリット投入量				
	5PHP	10PHP	20PHP	40PHP	50PHP
絶縁性ガラスフリット	0/100	2/100	50/100	82/100	89/100
導電性ガラスフリット	0/100	0/100	0/100	0/100	0/100

[0029] According to this, poor solder wettability generated the insulating glass frit from 10PHP. Compared with it, as for the glass frit with conductivity, poor solder wettability did not generate 50PHP ON \*\*\*\*, either. In addition, if a glass frit with conductivity is set to 60 or more PHP, it will become easy to generate poor solder wettability, and resistivity will increase, and the property (it is a varistor property if for example, a semiconductor chip component is a varistor) of the whole semiconductor chip component will also be affected.

[0030] Table 3 has shown the example of a presentation of the insulating glass and electrically conductive glass which were explained above by weight % (wt%).

[0031]

[Table 3]

	絶縁性ガラス (wt%)	導電性ガラス (wt%)
PbO	40	33
B <sub>2</sub> O <sub>3</sub>	10	8
SiO <sub>2</sub>	45	38
CaO	5	4
SnO <sub>2</sub>	0	15
Sb <sub>2</sub> O <sub>3</sub>	0	2

[0032] It sets to Table 3 and they are SnO<sub>2</sub> and Sb<sub>2</sub>O<sub>3</sub>. That is, it turns out that conductivity is taken out with tin and antimony. Moreover, in the resistance of this insulating glass, the resistance of 5x10<sup>8</sup> Komega and cm, and electrically conductive glass serves as 16K ohm-cm extent.

[0033] As the gestalt of operation explained above, even if it made [ many ] the glass frit by using a glass frit with conductivity, the defect of the plating film was not seen. Moreover, by using a glass frit with conductivity, even if it makes [ many ] a glass frit, there is no problem in solder wettability.

[0034]

[Effect of the Invention] As mentioned above, in this invention, since 10 or more PHP was included for the conductive glass frit in the conductive terminal ingredient as a terminal electrode of chip mold electronic parts, while preventing invasion of the plating liquid to a chip element assembly, a sex with plating and solder wettability can be made good.

[Translation done.]

## \* NOTICES \*

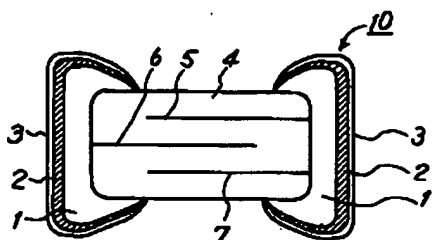
Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

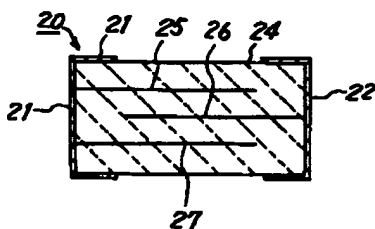
[Drawing 1]

半導体チップ素子の断面図



[Drawing 2]

従来例の説明図



[Translation done.]